

(54) NONVOLATILE MEMORY ELEMENT AND ITS MANUFACTURE

(11) 2-3289 (A) (43) 8.1.1990 (19) JP

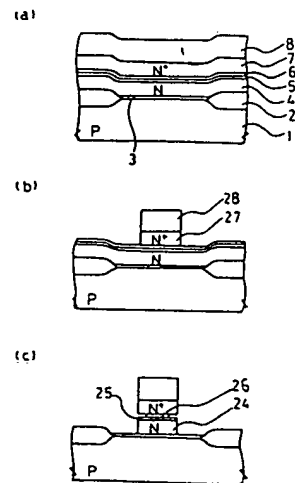
(21) Appl. No. 63-150567 (22) 17.6.1988

(71) SANYO ELECTRIC CO LTD (72) YUKIHIRO OTANI

(51) Int. Cl.³ H01L29/788, H01L29/792

PURPOSE: To enable false erasion to be prevented and ultraviolet ray erasion time to be shortened by forming an SiN film having a small area inside the region of a floating gate, and forming a control gate with almost the same region as the SiN film and such that they overlap each other.

CONSTITUTION: On a P-type semiconductor substrate 1 that a field SiO₂ film 2 is formed are accumulated, in order, a first SiO₂ film 3, a polysilicon film 4 doped with low concentration phosphorous, a second SiO₂ film 5, an SiN film 6, and a polysilicon film 7 doped with high concentration phosphorous. A resist film 8 is applied, and this is removed excepting a gate formation region. With a resist film 8 as a mask, the polysilicon film 7 is anisotropically etched so as to form a control gate 27. With the gate 27 as a mask, the SiN film 6 is side-etched, and by the difference of the phosphorous doping concentration polysilicons 6 and 7 are oxidized, and the gate 27 and the SiN film 26 for leakage prevention are made in the same dimensions and further made a little smaller than the dimensions of a floating gate 24. Hereby, ultraviolet rays are made to directly enter the gate 24 through the SiO₂ film 26 alone, whereby erroneous erasion is prevented and also erasion time can be shortened.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-3289

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月8日

H 01 L 29/788
29/792

7514-5F H 01 L 29/78 371

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 不揮発性メモリ素子およびその製造方法

⑯ 特 願 昭63-150567

⑰ 出 願 昭63(1988)6月17日

⑱ 発 明 者 大 谷 幸 弘 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三 洋 電 機 株 式 有 限 公 司 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁 理 士 西 野 卓 爾 外 1 名

明 細 書

1. 発明の名称

不揮発性メモリ素子およびその製造方法

2. 特許請求の範囲

(1) フローティングゲートとコントロールゲートとの間のコントロール絶縁膜の層にSiN膜を用いた不揮発性メモリ素子において、該SiN膜の面積はフローティングゲートの面積よりも小さく、かつ該フローティングゲートの領域の内側に含まれるように形成され、コントロールゲートはSiN膜とほぼ同じ面積で、かつ互いに重なり合うように形成されていることを特徴とする不揮発性メモリ素子。

(2) 一導電形の半導体基板上に、第1のSiO₂膜と低濃度のリンをドーブした第1のポリシリコン膜と第2のSiO₂膜とSiN膜と該第1のポリシリコン膜よりも高濃度のリンをドーブした第2のポリシリコン膜とを順次堆積する工程と、

該第2のポリシリコン膜を部分的にエッチングしてコントロールゲートを形成する工程と、

該コントロールゲートの第2のポリシリコン膜をマスクにして該コントロールゲートの第2のポリシリコン膜の端面よりも適当な幅だけ内側に、SiN膜をサイドエッチングする工程と、

前記第2のSiO₂膜と前記第1のポリシリコン膜とを該コントロールゲートの第2のポリシリコン膜をマスクにして順次異方性エッチングしてコントロールSiO₂膜とフローティングゲートとを形成する工程と、

前記レジスト膜を除去して、ドーブされたリン濃度の差によるポリシリコンの酸化速度の違いを利用して、高濃度のリンがドーブされた該コントロールゲートには厚く、低濃度のリンがドーブされた該フローティングゲートには薄くSiO₂膜が形成されるように酸化する工程を含むことを特徴とする不揮発性メモリ素子の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は紫外線消去型不揮発性メモリ(以後EPROMと略す)セルとその製造方法、特にプロ

グラム時の誤消去をなくすためコントロールゲートとフローティングゲートとの間のコントロール絶縁膜の一面にSiN膜を用いたEPROMセルとその製造方法に関する。

コントロール絶縁膜にSiO₂膜のみを用いたEPROMにおいては、ある特定のセルに書き込みを行うときコントロールゲートに正の高電圧をかけるが、この正の高電圧が既に書き込みのされている隣接するセルのフローティングゲート中に存在する過剰な電子をコントロールSiO₂膜を介して比較的容易にコントロールゲートに逃がしてしまう。つまり誤消去が行われる。

従って、コントロール絶縁膜の一面に電荷のリークが少ない(SiO₂膜の約1/2)SiN膜を用いる構造が誤消去を防止する有力な手段となっている。

(ロ) 従来の技術

第3図は、コントロール絶縁膜の一面にSiN膜を用いた従来例のEPROMセルの模式断面図である。

圧をかけてある特定のセルに書き込みを行うとき、その隣接するセルが誤消去されることは防止されたが、紫外線による消去の際、その消去時間が本構造はSiO₂膜のみの場合と比較して約5倍(SiO₂膜のみの場合1～2分に対してSiN膜を一面に用いた場合5～10分かかる)かかる。これはSiN膜において紫外線の透過効率が悪いためである。

そこで本発明は、上述の誤消去の問題を解決すると同時に紫外線による消去時間もSiO₂膜のみの場合のレベルにまで早くすることが可能なEPROMセルとその製造方法を提供することにある。

(ニ) 課題を解決するための手段

上記の目的は、フローティングゲートとコントロールゲートとの間のコントロール絶縁膜の一面にSiN膜を用いた不揮発性メモリ素子において、該SiN膜の面積はフローティングゲートの面積よりも小さく、かつ該フローティングゲートの領域の内側に含まれるように形成され、コントロールゲートはSiN膜とはほぼ同じ面積で、かつ互いに重なり合うように形成されている不揮発性メモリ素子

図において、(101)はP形半導体基板、(102)は第1のフィールドSiO₂膜、(109)はSiO₂膜のサイドウォールスペーサ、(110)はN⁺形S/D領域、(112)はS/D電極、(123)はゲートSiO₂膜、(124)はN⁺形ポリシリコンのフローティングゲート、(125)はコントロールSiO₂膜、(126)はリーク防止用SiN膜、(127)はN⁺形ポリシリコンのコントロールゲート、(129)は絶縁用SiO₂膜、(139)は第2のフィールドSiO₂膜を示す。

第2図に示すEPROMセルの構造においては、コントロールゲート(127)とフローティングゲート(124)とは投影的にほぼ同一の寸法にて形成されている。

斯上した先行技術としては、1985 Symposium on VLSI Technology Digest of Technical Papers 第16頁等が知られている。

(ハ) 発明が解決しようとする課題

しかし上述の従来構造によると、リーク防止用SiN膜(126)がコントロール絶縁膜の一面に用いられている為に、コントロールゲート(127)に高電

により解決される。

また、その製造方法は一導電形の半導体基板上に、第1のSiO₂膜と低濃度のリンをドーブした第1のポリシリコン膜と第2のSiO₂膜とSiN膜と該第1のポリシリコン膜よりも高濃度のリンをドーブした第2のポリシリコン膜とを順次堆積する工程と、該第2のポリシリコン膜を部分的にエッチングしてコントロールゲートを形成する工程と、該コントロールゲートの第2のポリシリコン膜をマスクにして該コントロールゲートの第2のポリシリコン膜の端面よりも適当な幅だけ内側に、SiN膜をサイドエッチングする工程と、前記第2のSiO₂膜と前記第1のポリシリコン膜とを該コントロールゲートの第2のポリシリコン膜をマスクにして順次異方性エッチングしてコントロールSiO₂膜とフローティングゲートとを形成する工程と、前記レジスト膜を除去して、ドーブされたリン濃度の差によるポリシリコンの酸化速度の違いを利用して、高濃度のリンがドーブされた該コントロールゲートには厚く、低濃度のリンがドーブさ

れた該フローティングゲートには薄くSiO₂膜が形成されるように酸化する工程とを具備することを特徴とする。

(*) 作用

即ち本発明はプログラムを書込みする際高電圧をかけるコントロールゲートと該高電圧によりS/D領域で発生するホットキャリア(電子)を蓄積して一定の電位をもつフローティングゲートとの間のコントロール絶縁膜の層に電荷リークの少ないSiN膜を用いることにより、ある特定セルに書込みするとき、既に書込み済の隣接するセルのフローティングゲートに蓄積されている過剰電子をコントロールゲートに逃がして該隣接するセルの既に書込み済の情報を消去することを防止するとともに、コントロールゲートをマスクにしたSiN膜のサイドエッチング技術とリンドープ濃度の差によるポリシリコンの酸化速度の違いを利用した酸化技術を用いた製造方法によりコントロールゲートとリーク防止用SiN膜とを投影的に大略同一の寸法にしかつフローティングゲートの寸法

よりも小さくすることにより、紫外線で消去する際、フローティングゲートの周辺の一定の幅の領域においては、紫外線がSiO₂膜のみを介して直接フローティングゲートに入射するようにして、蓄積された電子を早く消滅させることを可能とする。

これにより誤消去を防止するとともに紫外線による消去時間もSiO₂膜のみの場合のレベルにまで早くする目的が達成される。

(ハ) 実施例

以下、本発明を図示の一実施例により具体的に説明する。

第1図(a)~(e)は本発明の実施例のEPROMセルの製造工程説明図である。

第1図(a)~(e)において、(1)はP形半導体基板、(2)は第1のフィールドSiO₂膜、(3)は第1のSiO₂膜、(4)は低濃度のリンがドーブされたシート抵抗20Ω/□程度で厚さ4000Å程度のN形第1のポリシリコン膜、(5)はコントロールSiO₂膜となる厚さ200Å程度の第2のSiO₂膜、(6)

はリーク防止用のSiN膜となる厚さ300~400ÅのSiN膜、(7)は高濃度にリンがドーブされたシート抵抗15Ω/□程度で厚さ4000Å程度のN⁺形第2のポリシリコン膜、(8)はレジスト膜、(28)はバターンングレジスト膜、(27)は第2のポリシリコン膜をバターンング形成したコントロールゲート、(26)はコントロールゲート(27)をマスクにしてサイドエッチングにより形成されたリーク防止用SiN膜、(25)、(26)はコントロールゲート(27)をマスクにして異方性エッチングにより形成されたコントロールSiO₂膜とフローティングゲート、(29)、(9)、(19)は酸化によって形成される絶縁用SiO₂膜、サイドウォールスペーサ、第3のSiO₂膜、(23)は第1のSiO₂膜(3)より形成されたゲートSiO₂膜、(10)はN⁺形S/D領域でN形不純物例えばAsイオンのI₁により形成される、(11)はS/Dコンタクト開口部、(39)は第3のSiO₂膜(19)をバターンングして形成された第2のフィールドSiO₂膜、(12)はS/D電極を示す。

本発明に係るEPROMセルの製造方法におい

ては、先ず同図(a)に示すように、フィールドSiO₂膜(2)の形成されたP形半導体基板(1)上に第1のSiO₂膜(3)とシート抵抗約20Ω/□の低濃度のリンがドーブされた第1のポリシリコン膜(4)と第2のSiO₂膜(5)とSiN膜(6)とシート抵抗約15Ω/□の高濃度のリンがドーブされた第2のポリシリコン膜(7)を順次堆積する。そしてゲートバターンング用のレジスト膜(8)を塗布し、ゲート形成領域を除いて除去する。

次に同図(b)に示すように、バターンング用レジスト膜(28)をマスクにして第2のポリシリコン膜(7)をRIEにより異方性エッチングしてコントロールゲート(27)を形成する。

更に同図(c)に示すように、熱リン酸を用いたウェットエッチングによりSiN膜(6)をエッチングする。このときコントロールゲート(27)のマスクに対して一定量(約500Å)サイドエッチングしてリーク防止用SiN膜(26)を形成する。この一定量は後の工程でコントロールゲートを酸化するときその酸化量によって決まる。しかる後、コン

トロールゲート(27)をマスクにして第2のSiO₂膜(5)と第1のポリシリコン膜(4)をRIEによる異方性エッチングをしてコントロールSiO₂膜(25)とフローティングゲート(24)を形成する。

次に同図(d)に示すように、ポリシリコンよりなるコントロールゲート(27)とフローティングゲート(24)とを酸化する。このときポリシリコンの酸化量はポリシリコンのリンのドーパ量によって変わってくる。今リーク防止用SiN膜(26)は約500Åフローティングゲート(27)に対してサイドエッチングされているので、酸化条件1000°CdryO₂30分に対してコントロールゲート(27)のポリシリコンのリンドーパ量はシート抵抗15Ω/ロと設定する。又フローティングゲート(24)は余り酸化してはならないのでリンドーパ量をシート抵抗で20Ω/ロに設定する。こうすることによりコントロールゲート(27)には約1000Å、フローティングゲート(24)には約500ÅのSiO₂膜が形成され、コントロールゲート(27)とリーク防止用SiN膜(26)は投影的には大略同一の

寸法となりかつフローティングゲート(24)よりも周辺の幅で約250Å小さくなる。又S/D領域の形成されるP形半導体基板(1)上にはこの酸化により初期の第1のSiO₂膜(3)に酸化が追加され少し厚く第3のSiO₂膜(19)が堆積される。

しかる後A₁イオン等のN形不純物をI₁によりP形半導体基板(1)に導入してN⁺形S/D領域(10)を形成する。

次に同図(e)に示すように、第3のSiO₂膜(19)にS/Dコンタクト開口部(11)を開けてS/D電極(12)を形成する。

以上のようにしてEPROMセルが完成するが、本発明は、逆の導電形の半導体基板および拡散不純物に対しても有効であることは言うまでもない。

(1) 発明の効果

以上のように本発明によれば、コントロールゲートをマスクにしたSiN膜のサイドエッチング技術とリンドーパ濃度の差によるポリシリコンの酸化速度の違いを利用した酸化技術を用いた製造

方法により、フローティングゲート周辺部を覆うコントロール絶縁膜をSiO₂膜のみとすることが可能となり、リーク防止用SiN膜を用いて膜除去を防止すると同時に、紫外線による消去時間をコントロール絶縁膜がSiO₂膜のみの場合と同じレベルまで早くすることができ、EPROMの性能の向上を図ることが可能となる。

4. 図面の簡単な説明

第1図(a)~(e)は本発明の実施例のEPROMセルの製造工程説明図、第2図は従来例のEPROMセルの模式断面図である。

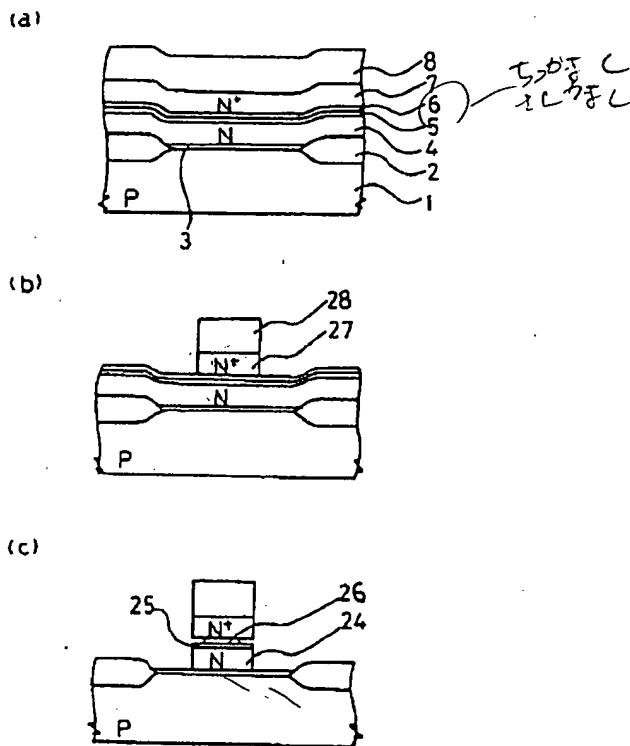
図において、(1)、(101)…P形半導体基板、(2)、(102)/(39)、(139)…第1/第2のフィールドSiO₂膜、(3)、(5)(19)…第1、第2、第3のSiO₂膜、(4)、(7)…N形の第1、N⁺形の第2のポリシリコン膜、(6)…SiN膜、(8)…レジスト膜、(9)、(109)…サイドウォールスベータ、(10)、(110)…N⁺形S/D領域、(11)、(111)…S/Dコンタクト開口部、(12)、(112)…S/D電極、(23)、(123)…ゲートSiO₂膜、

(24)、(124)…フローティングゲート、(25)、(125)…コントロールSiO₂膜、(26)、(126)…リーク防止用SiN膜、(27)、(127)…コントロールゲート、(28)…バタニングレジスト膜、(29)、(129)…絶縁用SiO₂膜。

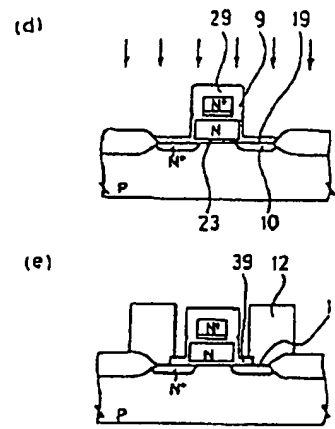
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 外1名

第1圖



第1圖



第2圖

